

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-111886

(43)公開日 平成11年(1999) 4月23日

(51)Int.Cl.⁸

識別記号

F I

H 0 1 L 23/12

H 0 1 L 23/12

F

21/60

3 1 1

21/60

3 1 1 S

H 0 5 K 3/34

5 0 1

H 0 5 K 3/34

5 0 1 D

3/46

3/46

N

審査請求 未請求 請求項の数10 O L (全 11 頁)

(21)出願番号

特願平9-274460

(22)出願日

平成9年(1997)10月7日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 安田 誠之

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72)発明者 伊藤 隆夫

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72)発明者 古屋 浩

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

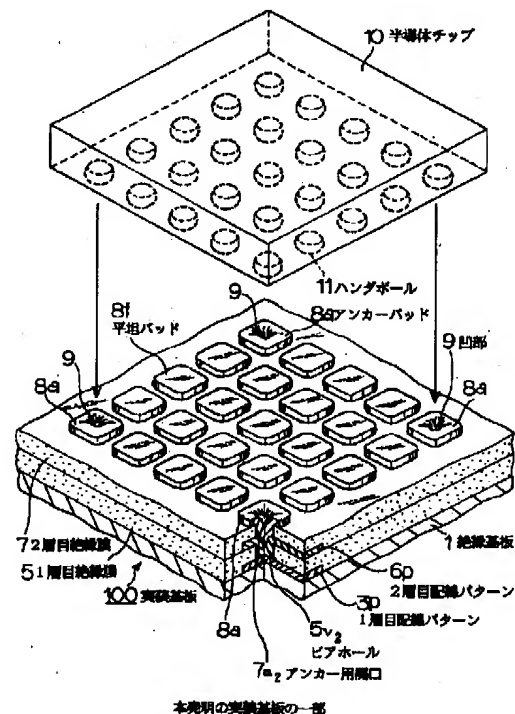
最終頁に続く

(54)【発明の名称】 実装基板およびその製造方法

(57)【要約】

【課題】 配列された多数のハンダボールを用いて実装
基板上のパッドに実装される半導体チップについて、熱
応力による周辺部の接合剥がれを防止する。

【解決手段】 実装基板100の半導体チップ実装領域
内に配列されるパッドのうち、応力が特に集中する四隅
の4個を凹部9を備えたアンカーパッド8aとし、残り
を通常の平坦パッド8fとする。半導体チップ10を実
装する際の加熱溶融で変形したハンダボール11が、こ
の凹部9へ深く入り込んで投錨（アンカー）効果を発揮
するため、剥がれが防止される。上記凹部9は、2層目
絶縁膜7に形成されたアンカー用開口7a2の断面プロ
ファイルを反映している。アンカー用パッド8aの少な
くとも一部を、絶縁膜の中に埋め込まれているビアホ
ール5v2の真上に形成すれば、より強い投錨効果が得
られる。



【特許請求の範囲】

【請求項 1】 矩形の半導体チップの一主面上における球状接続端子の配列パターンに対応して複数のパッドが配列された半導体チップ実装領域を有する実装基板であって、

前記パッドのうち、前記半導体チップ実装領域の少なくとも周辺部に配されるパッドの中央部が凹形状となされていることを特徴とする実装基板。

【請求項 2】 中央部が凹形状となされた前記パッドが、前記半導体チップ実装領域の四隅もしくはその近傍に配されていることを特徴とする請求項 1 記載の実装基板。

【請求項 3】 中央部が凹形状となされた前記パッドが、前記半導体チップ実装領域の四辺に沿って配されていることを特徴とする請求項 1 記載の実装基板。

【請求項 4】 前記中央部が凹形状となされた前記パッドが、前記半導体チップ実装領域の中央部にも配されていることを特徴とする請求項 1 記載の実装基板。

【請求項 5】 前記凹形状は、前記パッドの直下の絶縁膜に設けられた開口の断面プロファイルを反映させたものであることを特徴とする請求項 1 記載の実装基板。

【請求項 6】 前記絶縁膜の内部には少なくとも 1 層の内部配線パターンが埋め込まれており、前記開口の少なくとも一部はこの内部配線パターンをさらに下層側の配線パターンに接続するためのビアホールを直上に配されていることを特徴とする請求項 5 記載の実装基板。

【請求項 7】 矩形の半導体チップの一主面上における球状接続端子の配列パターンに対応して半導体チップ実装領域内に複数のパッドを形成する実装基板の製造方法であって、

前記パッドのうち、前記半導体チップ実装領域の少なくとも周辺部に配されるパッドの中央部に凹部を形成することを特徴とする実装基板の製造方法。

【請求項 8】 中央部に凹部を有する前記パッドは、絶縁膜に開口を形成する第 1 工程と、前記絶縁膜を被覆する導体膜を、前記開口の断面プロファイルを反映するごとく成膜する第 2 工程と、前記開口を含む領域を残すごとく前記導体膜をパターニングする第 3 工程とを経て形成することを特徴とする請求項 7 記載の実装基板の製造方法。

【請求項 9】 前記絶縁膜の内部に少なくとも 1 層の内部配線パターンが埋め込まれているとき、この内部配線パターンをさらに下層側の配線パターンに接続するためのビアホールを直上に前記開口の少なくとも一部を形成することを特徴とする請求項 8 記載の実装基板の製造方法。

【請求項 10】 前記第 1 工程では、前記絶縁膜を感光性樹脂材料を用いて形成し、前記開口を選択露光と現像処理により形成することを特徴とする請求項 8 記載の実装基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、たとえば多数のハンダボールを接続端子として有する半導体チップを実装するための実装基板とその製造方法に関し、特に熱応力による半導体チップ周辺部の接着不良を防止できる構造、およびその簡便な実現方法に関する。

【0002】

【従来の技術】電子機器の小型化、高性能化、多機能化を一層進展させるためには、実装基板上における部品実装密度をいかに増大させるかが重要なポイントである。この部品のひとつ、半導体チップの実装に関しては、ボンディングワイヤとリードフレームを用いた従来のパッケージ実装に代わり、パッケージを持たないチップ（ベアチップ）を直接に実装基板上の導電膜パターンに接続するベアチップ実装法、あるいは、パッケージの内部構造の工夫によりその外形寸法をチップ本体の寸法と同等に抑えた CSP（チップ・サイズ・パッケージ）を実装する方法が種々提案されている。実装に際しては、予め実装基板上に形成された導電膜パターンのパッド部に、ボンディングワイヤ、ハンダや金属球等からなるボール（ bumps ），異方性導電膜，導電性接着剤，光収縮性樹脂等の接続手段を用いてベアチップや CSP の電極を接続する。

【0003】これらの接続手段の中でボールは、チップ本体やパッケージの片面の広い領域にわたって配置する、いわゆるエリアアレイ配置に適している。エリアアレイ配置によれば、電極をパッケージの外周部にのみ配置する SOP（スモール・アウトライン・パッケージ）や QFP（クワッド・フラット・パッケージ）と異なり、チップもしくはパッケージの一主面上の全体あるいは比較的広い領域を用いて多数のボールを配列させるので、チップサイズの大形化や電極数の増大による実装面積の増大を抑えることができる。このようなボール配列を有するベアチップまたはパッケージを BGA（ボール・グリッド・アレイ）と呼んでおり、そのボール間隔はよりファインピッチ化される傾向にある。

【0004】ところで、半導体チップの電極配置や実装方法が上述のように進化するにつれて、実装基板の構造も変化している。すなわち、めっきスルーホールにリード線を挿入する必要があった従来のプリント配線基板に代わり、絶縁膜中に複数層の配線パターンを埋め込み、ビアホールを用いて上下の配線パターン間の導通をとる多層配線基板が提案されている。特に、上述のような BGA を実装するには、実装基板の表面の狭い領域内にボールの配列ピッチと等しい微細なピッチで多数のパッドを配列しなければならない。このため、最終的に半導体チップを外部回路へ接続するには、互いに絶縁膜で隔てられた幾層もの配線パターンを用いて電気接点の配列パターンを変換する必要がある、多層配線基板が不可欠と

なる。

【0005】図14に、このような多層配線基板を用いてBGA型の半導体チップを実装した状態を示す。この図は、絶縁基板21上の表面に形成された1層目配線パターン23pと、この上に1層目絶縁膜25を介して積層される2層目配線パターン26pと、さらにこの上に2層目絶縁膜27を介して積層される3層目配線パターン28pとを有する実装基板200上の表面にパッド28fが形成され、このパッド28f上に、ハンダボール31を介して半導体チップ30が実装された状態を示している。1層目配線パターン23pは、絶縁基板21の表裏両面に形成されており、これら両面のパターンはめっきスルーホール22を通じて電氣的に接続されている。このめっきスルーホール22の内部は、絶縁樹脂層23で充填されている。

【0006】上記1層目配線パターン23pと上記2層目配線パターン26pとの電氣的接続はビアホール25v₁、25v₂を通じて、また上記2層目配線パターン26pと上記3層目配線パターン28pとの間の電氣的接続はビアホール27v₁を通じて達成されている。上記パッド28fは3層目配線パターン28pと同じ層の導電膜を用いて形成されており、図示されない領域において下層側の配線パターンに接続されている。上記絶縁基板21の構成材料として通常用いられているものは、ガラス繊維強化エポキシ板（以下、ガラスエポキシ板と称する。）である。上記1層目配線パターン23pは通常、このガラスエポキシ板と一体化されたCu箔をパターンニングして得られるものである。Cu箔とガラスエポキシ板は熱膨張係数が近似しているため、この一体化には何ら問題がない。

【0007】上記実装基板200を形成するには、このガラスエポキシ/Cu積層板の上に複数層の絶縁膜と複数層の配線パターンを順次積層するのであるが、絶縁膜の形成法として近年ではフォトビアホール・プロセスがよく用いられている。このプロセスは、ベースとなる基板上に典型的には感光性エポキシ樹脂からなる絶縁膜をフィルム接着、スクリーン印刷、カーテンコート等の方法で形成し、ビアホール形成部を露光し、この露光部を現像で除去することによりビアホールを開孔する。図示される例では、1層目絶縁膜25および2層目絶縁膜27がフォトビアホール・プロセスで形成される。絶縁膜にビアホールを形成した後は、たとえば無電解めっき法によりCu膜を被着させ、このCu膜をパターンニングすることで配線パターンを形成する。

【0008】

【発明が解決しようとする課題】上述のようなフォトビアホール・プロセスを用いて作製された実装基板は、結局その体積の大部分が有機材料で構成されることになる。一方、この有機系の実装基板上に実装される半導体チップの多くは、シリコン系の材料からなる。ここで、

シリコンの熱膨張係数は3ppm程度である。これに対し、一般に実装基板を構成する有機材料の熱膨張係数は10～15ppmと大きい。両者の熱膨張係数にこのように大きな不整合が生じていると、使用環境に大きな温度変化が生ずるたびに両者の接合部において引張り応力や圧縮応力が働く。この結果、この接合部に疲労が蓄積され、図14に示されるように、パッド28fとハンダボール31の界面に剥がれ32が発生することがある。この応力は、チップもしくはパッケージの中央から周辺部に向かうほど大きくなる。特に矩形の半導体チップ30では、対角線上の四隅に最も応力が集中し、剥がれ32の発生頻度が著しく高くなる。

【0009】一方、近年の半導体チップ30、特にCSPの中には、チップ本体の電極配列をハンダボール配列に変換するための中継基板を持つものが多い。この中継基板は通常、ガラス繊維強化エポキシ樹脂やポリイミド樹脂を用いて作製されるので、かかる半導体チップ30に関してはある程度の応力緩和が期待できる。しかし、実用上十分な信頼性を維持し得るレベルで接がれ32を防止するには至っていない。実装基板としてシリコン基板を用いることができれば、シリコン系の半導体チップとの間の接合信頼性には何ら問題が生じないことになる。しかし、シリコン基板は有機基板に比べて高価であること、機械的に脆いために別にパッケージが必要となること、多層配線基板の作製プロセスが複雑化すること等の問題があり、一般ユーザ向けの民生機器へは適用しにくいのが実情である。

【0010】そこで本発明は、安価でかつその上に実装される半導体チップとの間の熱膨張係数の差が大きい場合にも、優れた接合信頼性を達成することが可能な実装基板、およびその簡便な製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明者らは、上述の目的を達成するために鋭意検討を行った結果、少なくとも応力の集中が特に大きいパッドに凹部を設ければ、実装時にハンダボールのような球状接続端子がこの凹部に深く入り込んで投錨（アンカー）効果を発揮し、接合強度を高めることを見出し、本発明を提案するに至った。すなわち本発明の実装基板は、矩形の半導体チップの一主面上における球状接続端子の配列パターンに対応して複数のパッドが配列された半導体チップ実装領域の中で、少なくともその周辺部に配されるパッドの中央部を凹形状とすることにより、上述の問題を解決するものである。

【0012】この凹形状は、典型的には上記パッドの直下の絶縁膜に設けられた開口の断面プロファイルを反映させたものとするのが好適である。特に、多層配線基板のようにパッドの下層側にも内部配線パターンが1層あるいはそれ以上存在する場合には、この内部配線パター

ンをさらに下層側の配線パターンに接続するためのビアホール直上に上記開口の少なくとも一部を配してもよい。このようにすることで、パッドと下層配線パターンのプラグとが電氣的に接続されることはもちろん、垂直方向に積み重ねられて機械的にも一体化された構造となり、より高い投錨効果を発揮することが可能となるからである。

【0013】このような実装基板を製造するに際しては、当然ながら中央部に凹部を有するパッドの形成がポイントとなる。最も簡便には、絶縁膜に開口を形成し、次にこの絶縁膜を被覆する導体膜を該開口の断面プロファイルを反映させるとく成膜し、最後に開口を含む領域を残すごとくこの導体膜をパターンニングしてパッドを形成する。この手順は、一般的な多層配線基板の製造プロセスと共通であり、従来のビアホールの形成パターンに、凹部形成用の開口のパターンを追加するだけでよい。

【0014】

【発明の実施の形態】本発明において、矩形の半導体チップとして主に想定されるものは、ベアチップやCSPであり、これらの一主面上に配列される球状接続端子とは、典型的にはハンダや金属球からなるボール（バンブ）である。これらのボールは、バリヤメタル上でハンダ膜のリフロー・アニールを行うことにより自己整合的に収縮させる方法、ワイヤ・ボンダを用いてバリヤメタル上にひとつずつ形成する方法、あるいは別のボール配列基板から転写する方法のいずれにより配列されたものであってもよい。ボール配列のレイアウトや配列数は様々であるが、大別すれば半導体チップの一主面の全体にわたってボールが配列されるフルマトリクス型BGAと、周辺部にのみボールが配列される周辺マトリクス型BGAとなる。これに対応して、実装基板上にも矩形の半導体チップ実装領域が設定され、その中に同様のレイアウトにしたがってパッドが配列されることになる。

【0015】図1ないし図4は、実装基板上におけるフルマトリクス対応のパッドのレイアウト、図5および図6は周辺マトリクス対応のパッドのレイアウトをそれぞれ示す模式図である。これらの図において、方形の半導体チップ実装領域Mの内部には、中央部が凹形状とされたパッド（以下、アンカーパッドと称する。）APと、通常の平坦パッドFPとが配置されている。図1および図5は、アンカーパッドを四隅に配したレイアウトである。これは、隣接するアンカーパッド間の距離が最大となるレイアウトであり、通常はこの4点における投錨効果で十分な剥がれ防止策となる。

【0016】しかし、内部配線パターンのレイアウト等の事情により四隅にアンカーパッドAPを配することが難しい場合には、アンカーパッドAPの位置を四隅から若干ずらしてもよい。この時のずれの量とずれの方向は、各アンカーパッドAP間の距離がなるべく大きく保

たれるように選択することが効果的である。たとえば図2に示される例では、各アンカーパッドAPは四隅からそれぞれ方形の各辺に沿って時計回り方向に1個隣りに移動した位置を占めている。

【0017】さらに、フルマトリクス対応のレイアウトに限り、図3に示されるように、四隅あるいはその近傍の4点に加え、半導体チップ実装領域Mの中央部にアンカーパッドAPを配することも効果的である。これにより、中央部におけるチップの浮き上がりを防止することができる。なお、図3では7行7列のフルマトリクスを例示しているために、中央のアンカーパッドは半導体チップ実装領域Mのちょうど真中に位置しているが、行数と列数の少なくとも一方が偶数であって半導体チップ実装領域Mの真中に該当する位置にパッドが存在しない場合には、その最も近傍のパッドをアンカーパッドAPとすればよい。

【0018】さらにあるいは、図4および図6に示されるように、最も外周側に等間隔にアンカーパッドAPを配するようなレイアウトも効果的である。なお、図1ないし図6に示したレイアウトはほんの一例であって、マトリクスの行数や列数、アンカーパッドAPの配置や数、および半導体実装領域の形状はこれらに何ら限定されるものではない。もちろん、アンカーパッドAPの数が多いほど投錨効果による接合強度の向上は期待できるが、すべてのパッドをアンカーパッドにすることは、内部配線パターンのレイアウトを考慮すると現実的ではない。実用上は、半導体チップの寸法やボール数を考慮して、必要最小限のアンカーパッドAPを形成するにとどめた方がよい。

【0019】本発明において、アンカーパッドAPの凹形状は、その直下の絶縁膜に設けられた開口の断面プロファイルを反映させたものである。つまり、開口が導電膜で平坦化されない程度に埋め込まれた場合のカバレッジ形状である。この開口が、内部配線パターンのビアホール直上、つまり垂直方向に一直線に並ぶ位置に形成された場合には、アンカーパッドAPとビアホールのプラグ部とが一体化された構造となり、より強力な投錨効果を期待することができる。垂直方向に並ぶビアホールは、2個以上であってもよく、ベースとなる基板の表面に達するまで連続的に並んでいれば、その投錨効果は極めて強力となる。

【0020】本発明においてアンカーパッドAPを形成する場合、絶縁膜に開口を設けることが必要となるが、これは半導体チップ実装領域の外部に形成される一般のビアホールの形成と共通のプロセスで形成することができる。特に絶縁膜やビアホールや上記開口の形成にフォトリソ・プロセスを適用した場合には、露光マスクのパターンを変更するだけで済むため、極めて簡便である。なお、アンカーパッドAP形成用の開口は、下層側の配線パターン、すなわち、ベースとなる基板上の配

線パターンや絶縁膜に埋め込まれた内部配線パターンを表出させるものであっても、させないものであってもよい。前者の場合には、アンカーパッドAPが下層配線パターンに対するビアホールも兼ねることになり、後者の場合にはアンカーパッドから延びる配線パターンが他所において下層配線パターンに対するビアホールを持つことになる。

【0021】

【実施例】以下、本発明の具体的な実施例について説明する。まず、本発明の実装基板の一部を図7を参照しながら説明する。図7は、実装基板100の中から方形の半導体チップ実装領域のみを抽出したものである。5行5列にフルマトリクス配列されたパッド中、四隅の4個が中央部に凹部9を有するアンカーパッド8a、残り21個が平坦パッド8fである。一例として、これらのパッド8a、8fの配列ピッチは0.5mm、1辺の長さは0.3mm、厚さは0.015mmとし、また凹部9の1辺の長さは0.15mm、深さは0.05mmとした。上記配列は当然、この上に実装される半導体チップ10のハンダボール11の配列にならったものである。

【0022】上記実装基板100は、1層目配線パターン3pが形成された絶縁基板1上に1層目絶縁膜5と2層目絶縁膜7とが積層され、これら絶縁膜5、7の内部に2層目配線パターン6pが内部配線パターンとして埋め込まれた多層配線基板である。2層目配線パターン6pは、ビアホール5v2を介して1層目配線パターン3pに接続されている。また、図中で最も手前に描かれるアンカーパッド8aは、アンカー用開口7a2を通じて2層目配線パターン6pに接続されているが、このアンカー用開口7a2はビアホール5v2の真上に位置しており、投錨効果の強化を図っている。

【0023】このような実装基板100上に半導体チップ10を実装すると、ハンダボール11のうち四隅にあるものは実装時に熱変形を起こして凹部9に入り込み、投錨効果を発揮する。したがって、上記実装基板100が有機材料を主体とし、上記半導体チップ10がシリコン系材料からなる場合であっても、半導体チップ10はこの実装基板100上に優れた接合信頼性をもって実装され、従来のような応力に起因するパッドとハンダボールとの界面の剥がれは極めて生じにくくなる。

【0024】次に、図7に示される実装基板をフォトビアホール・プロセスで製造する方法について、図8ないし図13を参照しながら説明する。これらの図面は、図7に示した半導体チップ実装領域に加えてその周辺領域も示すものであり、符号は図7と共通である。図8は、フォトビアホール・プロセス開始前の実装基板100を示しており、典型的にはガラス繊維強化エポキシ樹脂よりなる絶縁基板1の両面に、たとえば厚さ18μmのCu箔3を接着したガラスエポキシ/Cu積層板である。

絶縁基板1には表裏のCu箔3を電氣的に接続するためのめっきスルーホール2が設けられている。

【0025】次に、図9に示されるように、めっきスルーホール2を絶縁樹脂層4で埋め込んだ後、Cu箔3の上にアクリル酸エステル系樹脂からなる図示されないレジスト・パターンをフォトリソグラフィにより形成した。このレジスト・パターンをマスクとし、塩化第二鉄水溶液を用いてCu箔3のウェット・エッチングを行うことにより、1層目配線パターン3pを形成した。

【0026】上記レジスト・パターンを剥離した後、上記実装基板100の一主面に感光性エポキシ樹脂を塗布し、塗膜を乾燥させて図10に示されるような1層目絶縁膜5を形成した。さらに、この1層目絶縁膜5に対し、常法にしたがって選択露光と現像を行い、1層目配線パターン3pに臨むビアホール5v1、5v2を形成した。ここで、ビアホール5v2は半導体チップ実装領域に存在する。次に、過マンガン酸カリウム水溶液を用いたデスマ処理を行って上記1層目絶縁膜5の表面を粗面化させた。これは、次工程で被着されるCuめっき膜の密着性を高めるためである。さらに、上記1層目絶縁膜5の全面にたとえば湿式めっき法によりCu膜を形成し、このCu膜をアクリル酸エステル系樹脂からなる図示されないレジスト・パターンを介してエッチングすることにより、2層目配線パターン6pを形成した。

【0027】次に、再び同じ主面に感光性エポキシ樹脂を塗布し、塗膜を乾燥させて図11に示されるような2層目絶縁膜7を形成した。さらに、この2層目絶縁膜7に対し、常法にしたがって選択露光と現像を行い、ビアホール7v、およびアンカー用開口7a1、7a2を同時に形成した。ここで、上記ビアホール7vは半導体チップ実装領域外において2層目配線パターン6pに臨んで形成される、従来どおりのビアホールである。一方、半導体チップ実装領域内に形成されるアンカー用開口7a1、7a2は本発明において新たに形成されるものである。ただしこの形成には、従来プロセスに対して何ら余分の工程を要することはない。ここで、アンカー用開口7a1は、底面に下層側の配線パターンを表出させることがなく、純粋にアンカーパッドの中央部に凹形状を発生させるだけの目的で形成されるものである。これに対し、アンカー用開口7a2は2層目配線パターン6pを表出させており、この内部配線パターンに対するビアホールの役割も兼ねる。しかも、アンカー用開口7a2の開口位置はビアホール5v2の直上とされている。

【0028】次に、先と同様のデスマ処理を行って上記2層目絶縁膜7の表面を粗面化させた。この後、2層目絶縁膜7の全面にCuめっきを施し、得られたCu膜をパターンニングして図12に示されるような3層目配線パターン8p、アンカーパッド8aおよび平坦パッド8fを同時に形成した。ここで、上記3層目配線パターン8pは半導体チップ実装領域外において2層目配線パタ

ーン 6 p と電氣的に接続される、従来どおりの配線パターンである。また、半導体チップ実装領域内に形成される平坦パッド 8 f も、従来どおりのパッドである。本発明の特色をなすものは、アンカーパッド 8 a である。アンカーパッド 8 a は、アンカー用開口 7 a を被覆する Cu 膜のカバレッジに起因して中央部に凹部 9 を自己整合的に発生させたものである。このアンカーパッド 8 a は、前掲の図 7 にも示したように、半導体チップ実装領域の四隅に配されている。かかる実装基板 1 0 0 の上に半導体チップ 1 0 を実装する場合には、これらのパッド 8 a、8 f と半導体チップ 1 0 の一主面に配列されたハンダボール 1 1 とを位置合わせする。

【0029】図 13 には、実装基板 1 0 0 上で半導体チップ 1 0 を上述のように位置合わせした後、ハンダボール 1 1 とパッド 8 a、8 f とを加熱溶着して実装を終了した状態を示している。四隅のハンダボール 1 1 は、アンカーパッド 8 a の凹部 9 に深く入り込んで投錨効果を発揮する。特に、図中向かって右側のアンカーパッド 8 a は、その下層側のビアホール 5 v₂ を埋め込む 2 層目配線パターン 6 p のプラグ部とも一体化され、ちょうど金属からなる楔が実装基板の奥深くまで打ち込まれたような形となっている。したがって、高い機械的強度が付与された状態となっている。このように半導体チップ 1 0 が実装された実装基板 1 0 0 に対し、裏面よりキー押しを想定して圧力 2 k g の負荷を 2 5 回与え、高さ 1.5 m からの落下衝撃試験を 1 0 回行い、さらに高温加熱サイクル劣化試験を行ったところ、接着不良の発生率は 0 % であった。ちなみに、アンカーパッドを設けずに同様の実装を行った実装基板では、これらの試験を経た場合の接着不良の発生率は 3 % であった。

【0030】以上、本発明の具体的な実施例について説明したが、本発明はこれらの実施例に何ら限定されるものではない。たとえば、先の実施例では絶縁膜をいずれも感光性エポキシ樹脂を用いて形成し、ビアホールやアンカー用開口をフォトリソグラフィと現像の各工程を経て形成したが、感光性を持たない絶縁膜を形成してレーザーアブレーション、プラズマエッチング、サンドブラスト等の方法で形成してもよい。配線パターンの構成材料としては Cu を使用したが、これはガラスエポキシ基板との熱膨張係数のマッチングを考慮して最適の材料を選択した結果であり、基板や絶縁膜の構成材料が変われば Cu に限られるものではない。また、上記の実施例では下層側の配線のビアホールと垂直方向に一体化されるアンカーパッドは全体の中の一部であったが、すべてのアンカーパッドが上述のように一体化されていても構わない。さらに、パッドの寸法、形状、ピッチ等も、上述の例に限られず、いずれも実装すべき半導体チップに合わせて適宜選択すべきものである。

【0031】

【発明の効果】以上の説明からも明らかなように、本発

明の実装基板は、半導体チップ実装後に応力が最も集中しやすい領域においてパッドの中央部が凹形状とされているので、半導体チップの球状接続端子が加熱溶着時にこの凹部に深く入り込んで投錨効果を発揮する。したがって、半導体チップ周辺部における接着強度が向上し、組立て製品の不良率が著しく低減される。上記の凹形状を有するパッドは、少なくとも半導体チップ実装領域の四隅もしくはその近傍に配されれば、球状接続端子による優れた投錨効果を保証する。また、半導体チップ実装領域の四辺に配したり、中央部にも配したり、あるいは多層配線基板を用いる場合に内部配線のビアホールと垂直方向に積み重ねられる位置に配することにより上記投錨効果を一層高めることができる。

【0032】上記の凹形状を、前記パッドの直下の絶縁膜に設けられた開口の断面プロファイルを反映させて発生させる場合には、従来の製造工程に何ら余分の工程を追加することなく本発明の実装基板を製造することができる。つまり、上記の凹部を発生させるための開口を設けたり、しかもこの開口の少なくとも一部を内部配線のビアホールと重なる位置に設けることは、従来の加工パターンの変更で対処可能である。特にフォトビアホール・プロセスを適用する場合には、露光マスクのパターンを変更するだけでよいので、製造コストやスループットに何らデメリットを生ずることなく、高い信頼性を持つ実装基板を容易に製造することができる。このように本発明は、実装基板側の構造上の工夫を通じて、BGA のように多数の端子がファインピッチで配列された高集積化半導体チップの実装信頼性を高めるものであり、産業上の価値は極めて高い。

【図面の簡単な説明】

【図 1】本発明の実装基板上において、半導体チップ実装領域の四隅にアンカーパッドを配したフルマトリクス対応のレイアウトを示す模式図である。

【図 2】本発明の実装基板上において、半導体チップ実装領域の四隅の近傍にアンカーパッドを配したフルマトリクス対応のレイアウトを示す模式図である。

【図 3】本発明の実装基板上において、半導体チップ実装領域の四隅と中央にアンカーパッドを配したフルマトリクス対応のレイアウトを示す模式図である。

【図 4】本発明の実装基板上において、半導体チップ実装領域の外周にアンカーパッドを配したフルマトリクス対応のレイアウトを示す模式図である。

【図 5】本発明の実装基板上において、半導体チップ実装領域の四隅にアンカーパッドを配した周辺マトリクス対応のレイアウトを示す模式図である。

【図 6】本発明の実装基板上において、半導体チップ実装領域の外周にアンカーパッドを配した周辺マトリクス対応のレイアウトを示す模式図である。

【図 7】本発明の実装基板の一部を半導体チップと共に示す概略斜視図である。

【図 8】本発明の実装基板の製造プロセスにおいて、フォトビアホール・プロセス開始前の実装基板を示す模式的断面図である。

【図 9】図 8 の Cu 箔をパターンニングして 1 層目配線パターンを形成した状態を示す模式的断面図である。

【図 10】図 9 の実装基板上で 1 層目絶縁膜の成膜、該 1 層目絶縁膜のパターンニングおよび 2 層目配線パターンの形成を行った状態を示す模式的断面図である。

【図 11】図 10 の実装基板上で 2 層目絶縁膜の成膜、および該 2 層目絶縁膜のパターンニングによるビアホールとアンカー用開口の形成を行った状態を示す模式的断面図である。

【図 12】図 11 の実装基板上で 3 層目配線パターンと平坦パッドとアンカーパッドとを同時に形成した状態を

10

示す模式的断面図である。

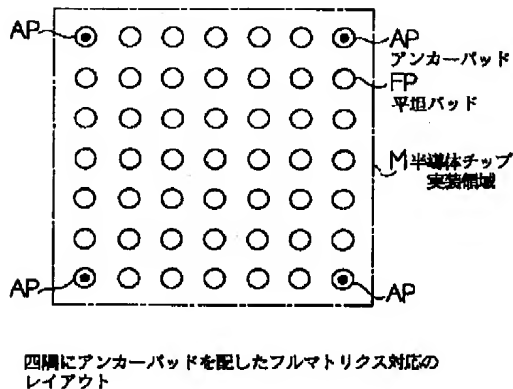
【図 13】図 12 の実装基板上に半導体チップを実装した状態を示す模式的断面図である。

【図 14】従来の実装基板上において、応力により半導体チップの周辺部のハンダボールが剥がれた状態を示す模式的断面図である。

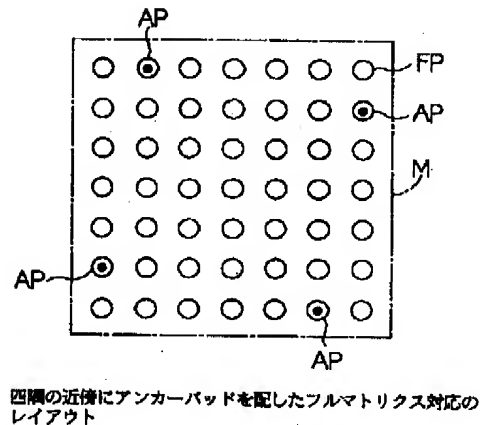
【符号の説明】

5…1層目絶縁膜 5 v 2…ビアホール 6 p…2層目配線パターン 7…2層目絶縁膜 7 v…ビアホール
7 a₁, 7 a₂…アンカー用開口 8 p…3層目配線パターン 8 a…アンカーパッド 8 f…平坦パッド
9…凹部 10…半導体チップ 11…ハンダボール
100…実装基板 AP…アンカーパッド FP…平坦パッド M…半導体チップ実装領域

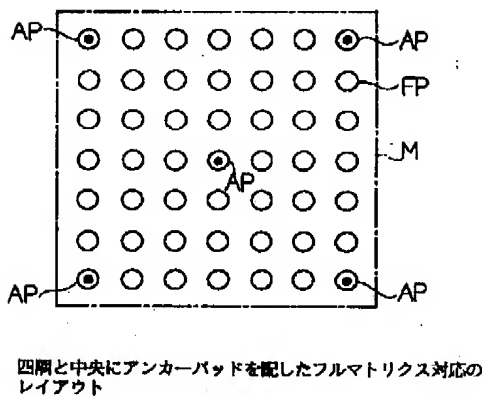
【図 1】



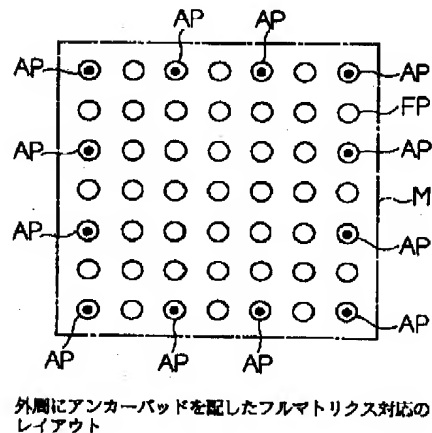
【図 2】



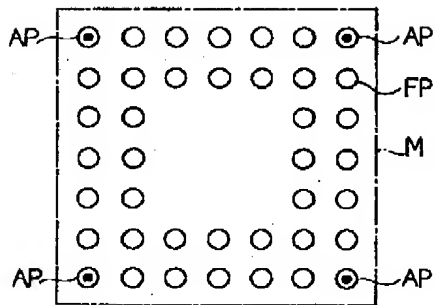
【図 3】



【図 4】

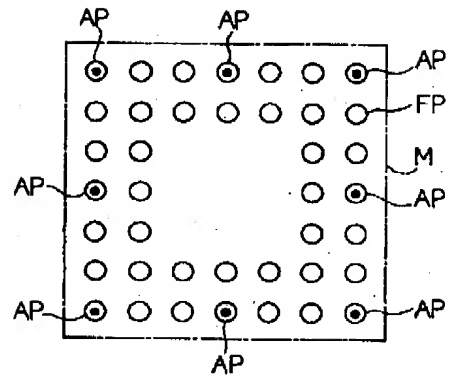


【図 5】



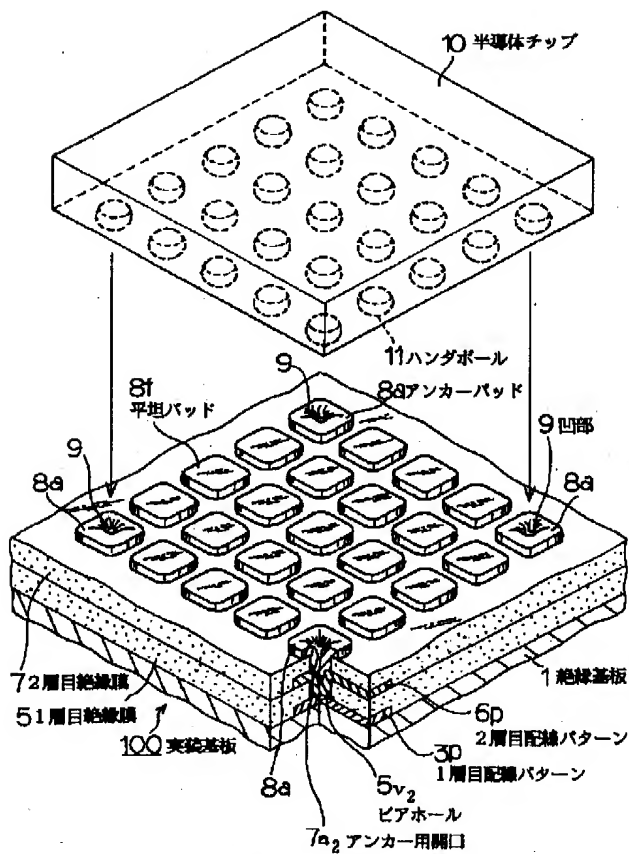
四隅にアンカーパッドを配した周辺マトリクス対応のレイアウト

【図 6】



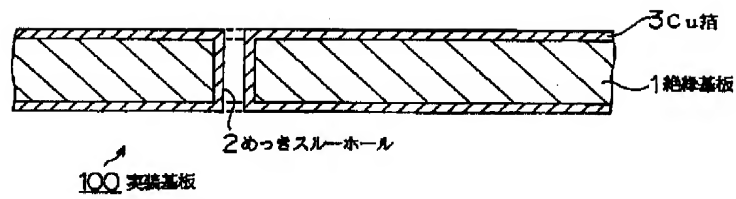
外周にアンカーパッドを配した周辺マトリクス対応のレイアウト

【図 7】



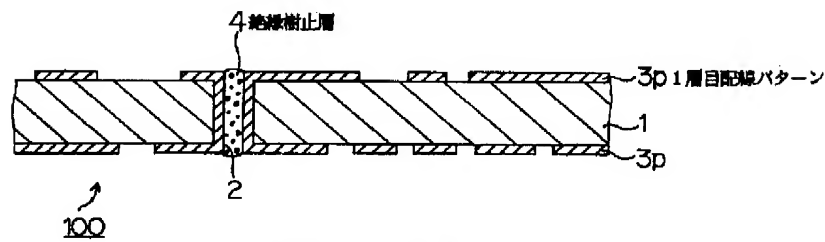
本発明の実装基板の一部

【図 8】



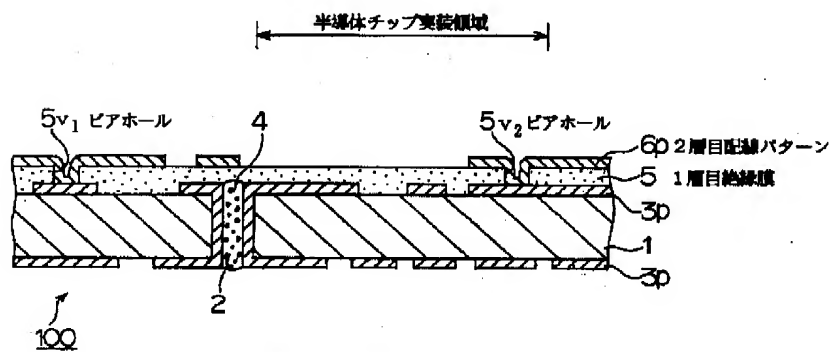
フォトビアホール・プロセス開始前の実装基板 (本発明)

【図 9】



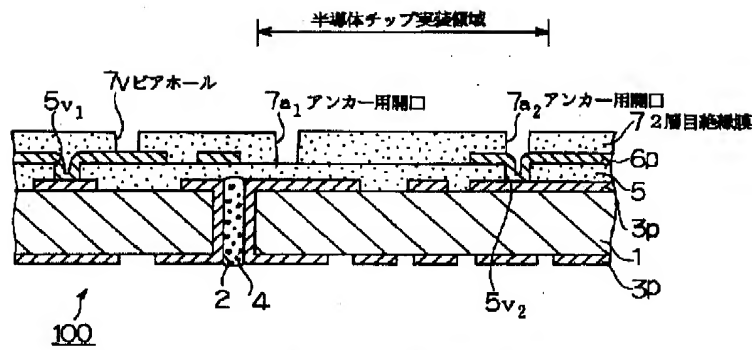
1層目配線パターンの形成工程

【図 10】



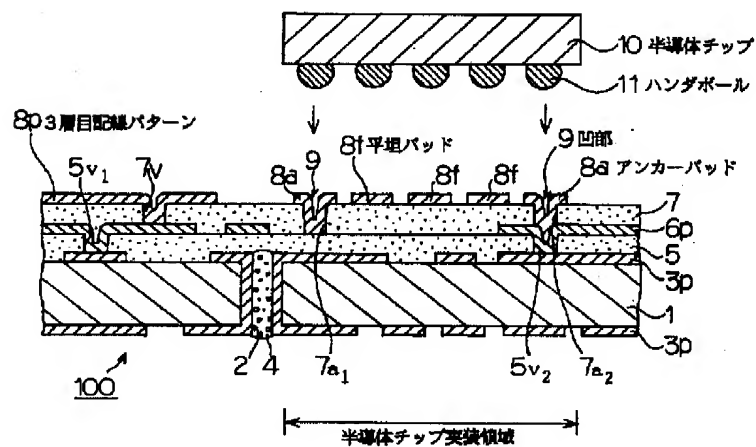
2層目配線パターンの形成工程

【図11】



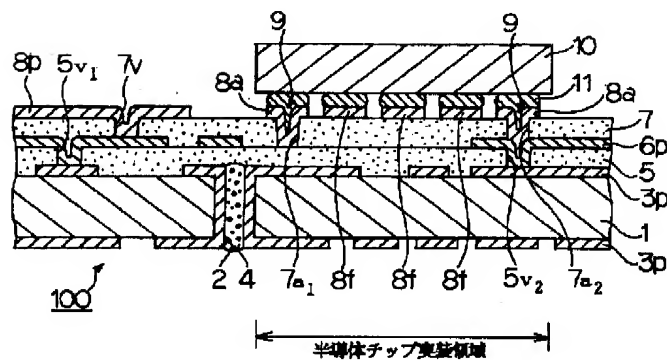
ビアホールとアンカー用開口の形成工程

【図12】



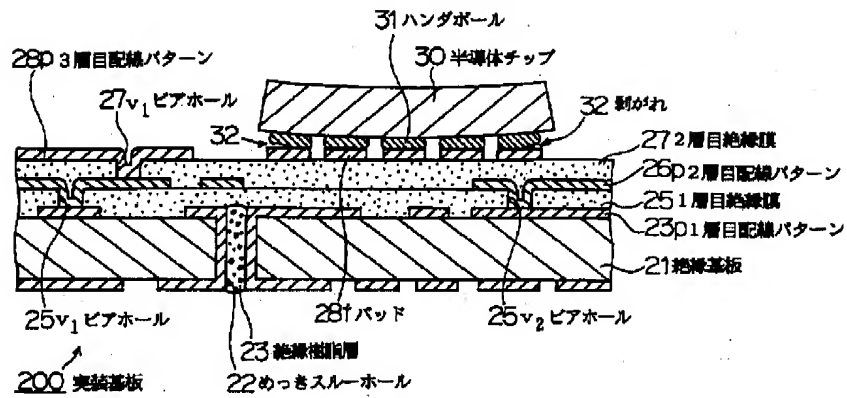
3層目配線パターン、平坦パッドおよびアンカーパッドの形成工程

【図13】



半導体チップを実装した状態

【図 1 4】



応力により半導体チップの周辺部のハンダボールが
剥れた状態（従来例）

フロントページの続き

(72) 発明者 瀬川 将広
岩手県東磐井郡千厩町千厩字下駒場254番
地 ソニー千厩株式会社内

(72) 発明者 西本 和人
愛知県額田郡幸田町大字坂崎字雀ヶ入 1 番
地 ソニー幸田株式会社内
(72) 発明者 林田 真人
岐阜県美濃加茂市本郷町 9 丁目 15 番 22 号
ソニー美濃加茂株式会社内